

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-12710

(P2000-12710A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)	
H 0 1 L	21/8247	H 0 1 L 29/78	3 7 1	5 B 0 2 5
	29/788	G 1 1 C 17/00	6 2 1 A	5 F 0 0 1
	29/792	H 0 1 L 27/10	4 3 4	5 F 0 8 3
G 1 1 C	16/04			
H 0 1 L	27/115			

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願平10-171529

(22) 出願日 平成10年6月18日 (1998.6.18)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 黒岡 和巳

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 太田 豊

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100076794

弁理士 安富 耕二 (外1名)

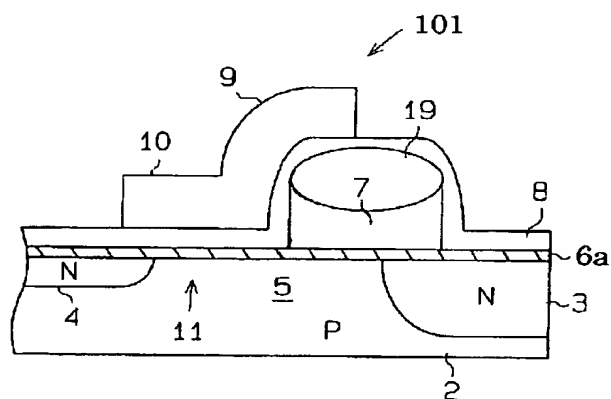
最終頁に続く

(54) 【発明の名称】 半導体メモリ及び半導体メモリの製造方法

(57) 【要約】

【課題】 書き込み・読み出し特性の良好な半導体メモリを提供すること。

【解決手段】 P型単結晶シリコン基板2上にN型のソース・ドレイン領域3、4が形成されている。ソース・ドレイン領域3、4に挟まれたチャネル領域5上に、ゲート絶縁膜6aを介して浮遊ゲート電極7が形成されている。浮遊ゲート電極7上にトンネル絶縁膜8を介して制御ゲート電極9が形成されている。ゲート絶縁膜6aは、窒素が導入されることにより、酸化しにくくなっている。従って、トンネル絶縁膜8を形成するために、熱酸化を行っても、浮遊ゲート電極7の基部に形成されるパーズピークはきわめて小さく抑制される。



【特許請求の範囲】

【請求項 1】 第 1 のゲート電極下の第 1 の絶縁膜が酸化しにくい領域を含むことを特徴とした半導体メモリ。

【請求項 2】 第 1 のゲート電極に対し、第 1 の絶縁膜を介してキャリアを注入するかまたは引き抜くかすることにより、データの書き込み状態を変更するものであって、前記ゲート電極下の第 1 の絶縁膜が酸化しにくい領域を含むことを特徴とした半導体メモリ。

【請求項 3】 前記第 1 のゲート電極は、基板の表面に形成された一対のソース・ドレイン領域の間に前記第 1 の絶縁膜を介して設けられ、且つ、少なくとも一方のソース・ドレイン領域と容量的に結合し、前記第 1 の絶縁膜における少なくとも前記一方のソース・ドレイン領域の近傍に酸化しにくい領域が存在することを特徴とした請求項 1 又は 2 に記載の半導体メモリ。

【請求項 4】 前記第 1 のゲート電極の上に第 2 の絶縁膜を介して第 2 のゲート電極を設けたことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体メモリ。

【請求項 5】 基板上に第 1 の絶縁膜を形成する工程と、
この第 1 の絶縁膜に、酸化しにくい領域を形成する工程と、
この酸化しにくい領域の上に第 1 のゲート電極を形成する工程と、
この第 1 のゲート電極を含む基板の表面に第 2 の絶縁膜を形成する工程と、
前記第 1 のゲート電極の上に第 2 のゲート電極を形成する工程と、を含むことを特徴とした半導体メモリの製造方法。

【請求項 6】 前記第 1 の絶縁膜を窒化することにより、前記酸化しにくい領域を形成することを特徴とした請求項 5 に記載の半導体メモリの製造方法。

【請求項 7】 基板上に第 1 の絶縁膜を形成する工程と、
この第 1 の絶縁膜の上に第 1 のゲート電極を形成する工程と、
前記第 1 の絶縁膜における前記第 1 のゲート電極下に、酸化しにくい領域を形成する工程と、
この第 1 のゲート電極を含む基板の表面に第 2 の絶縁膜を形成する工程と、
前記第 1 のゲート電極の上に第 2 のゲート電極を形成する工程と、を含むことを特徴とした半導体メモリの製造方法。

【請求項 8】 前記基板の表面に一対のソース・ドレイン領域を形成する工程を更に備え、少なくとも一方のソース・ドレイン領域は、前記第 1 のゲート電極と容量的に結合し、前記酸化しにくい領域を、前記第 1 の絶縁膜における少なくとも前記一方のソース・ドレイン領域の近傍に形成したことを特徴とした請求項 5 乃至 7 のいずれか 1 項に記載の半導体メモリの製造方法。

【請求項 9】 斜めイオン注入法を用いて、前記第 1 の絶縁膜に窒素イオン又は窒素を含むイオンを導入することにより、前記酸化しにくい領域を形成することを特徴とした請求項 7 又は 8 に記載の半導体メモリの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体メモリ及び半導体メモリの製造方法に関するものである。

【0002】

【従来の技術】 近年、強誘電性メモリ (Ferro-electric Random Access Memory)、EPROM (Erasable and Programmable Read Only Memory)、EEPROM (Electrically Erasable and Programmable Read Only Memory) などの不揮発性半導体メモリが注目されている。EPROM や EEPROM では、浮遊ゲート電極に電荷を蓄積し、電荷の有無による閾値電圧の変化を制御ゲート電極によって検出することで、データの記憶を行わせるようになっている。また、EEPROM には、メモリセルアレイ全体でデータの消去を行うか、あるいは、メモリセルアレイを任意のブロックに分けてその各ブロック単位でデータの消去を行うフラッシュ EEPROM がある。

【0003】 フラッシュ EEPROM を構成するメモリセル (メモリセルトランジスタ) は、スタックトゲート型とスプリットゲート型に大きく分類される。スタックトゲート型メモリセルを用いたフラッシュ EEPROM は、データ消去時に浮遊ゲート電極から電荷を引き抜く際、電荷を過剰に抜き過ぎると、メモリセルを非導通状態にするための所定の電圧 (例えば、0 V) を制御ゲート電極に印加したときでも、チャネル領域が導通状態になる。その結果、そのメモリセルが常に導通状態になり、一対のソース・ドレイン領域間にセル電流が常時流れて、記憶されたデータの読み出しが不能になるという問題、いわゆる過剰消去の問題が起こる。過剰消去を防止するには、消去手順に工夫が必要で、メモリデバイスの周辺回路で消去手順を制御するか、またはメモリデバイスの外部回路で消去手順を制御する必要がある。

【0004】 このようなスタックトゲート型メモリセルにおける過剰消去の問題を回避するために開発されたのが、スプリットゲート型メモリセルである。スプリットゲート型メモリセルを用いたフラッシュ EEPROM は、WO 92/18980 (G11C 13/00) に開示されている。図 14 は、従来のスプリットゲート型メモリセル 1 の断面図である。

【0005】 スプリットゲート型メモリセル (スプリットゲート型トランジスタ) 1 は、ソース・ドレイン領域 3、4、チャネル領域 5、浮遊ゲート電極 7、制御ゲート電極 9 から構成されている。P 型単結晶シリコン基板 2 上に N 型のソース・ドレイン領域 3、4 が形成されて

いる。ソース・ドレイン領域3、4に挟まれたチャンネル領域5上に、ゲート絶縁膜6を介して浮遊ゲート電極7が形成されている。浮遊ゲート電極7上にLOCOS

(Local Oxidation on Silicon) 法によって形成された絶縁膜19およびトンネル絶縁膜8を介して制御ゲート電極9が形成されている。絶縁膜19により、浮遊ゲート電極7の上部の周辺部分には後述する突起7bが形成されている。

【0006】ここで、制御ゲート電極9の一部は、各絶縁膜6、8を介してチャンネル領域5上に配置され、選択ゲート10を構成している。その選択ゲート10とソース・ドレイン領域3、4とにより、選択トランジスタ11が構成される。すなわち、スプリットゲート型メモリセル1は、各ゲート電極7、9と各領域3、4から構成されるトランジスタと、選択トランジスタ11とが直列に接続された構成となっている。

【0007】メモリセルアレイ152は、P型単結晶シリコン基板2上に形成された複数のメモリセル1によって構成されている。基板2上の占有面積を小さく抑えることを目的に、2つのメモリセル1（以下、2つを区別するため「1a」「1b」と表記する）は、ソース・ドレイン領域3を共通にし、その共通のソース・ドレイン領域3に対して浮遊ゲート電極7および制御ゲート電極9が反転した形で配置されている。

【0008】基板2上にはフィールド絶縁膜13が形成され、そのフィールド絶縁膜13によって各メモリセル1間の素子分離が行われている。図14（b）の縦方向に配置された各メモリセル1のソース・ドレイン領域3は共通になっている。また、図14（b）の縦方向に配置された各メモリセル1の制御ゲート電極9は共通になっており、その制御ゲート電極9によってワード線が形成されている。また、図14（b）の横方向に配置されている各ドレイン領域4は、ビット線コンタクト14を介してビット線（図示略）に接続されている。

【0009】図15に、スプリットゲート型メモリセル1を用いたフラッシュEEPROM151の全体構成を示す。メモリセルアレイ152は、複数のメモリセル1がマトリックス状に配置されて構成されている。行（ロウ）方向に配列された各メモリセル1の制御ゲート電極9により、共通のワード線WL a～WL zが形成されている。列（カラム）方向に配列された各メモリセル1のドレイン領域4は、共通のビット線BL a～BL zに接続されている。

【0010】奇数番のワード線（WL a…WL m…WL y）に接続された各メモリセル1bと、偶数番のワード線（WL b…WL n…WL z）に接続された各メモリセル1aとはソース・ドレイン領域3を共通にし、その共通のソース・ドレイン領域3によって各ソース線RSL a～RSL mが形成されている。例えば、ワード線WL aに接続された各メモリセル1bと、ワード線WL bに

接続された各メモリセル1aとはソース・ドレイン領域3を共通にし、その共通のソース・ドレイン領域3によってソース線RSL aが形成されている。各ソース線RSL a～RSL mは共通ソース線SLに接続されている。

【0011】各ワード線WL a～WL zはロウデコーダ153に接続され、各ビット線BL a～BL zはカラムデコーダ154に接続されている。外部から指定されたロウアドレスおよびカラムアドレスは、アドレスピン155に入力される。そのロウアドレスおよびカラムアドレスは、アドレスピン155からアドレスラッチ157へ転送される。アドレスラッチ157でラッチされた各アドレスのうち、ロウアドレスはアドレスバッファ156を介してロウデコーダ153へ転送され、カラムアドレスはアドレスバッファ156を介してカラムデコーダ154へ転送される。

【0012】ロウデコーダ153は、アドレスラッチ157でラッチされたロウアドレスに対応した1本のワード線WL a～WL z（例えば、WL m）を選択し、その選択したワード線WL mの電位を、図16に示す各動作モードに対応して制御する。カラムデコーダ154は、アドレスラッチ157でラッチされたカラムアドレスに対応したビット線BL a～BL z（例えば、BL m）を選択し、その選択したビット線BL mの電位を、図16に示す各動作モードに対応して制御する。

【0013】共通ソース線SLはソース線バイアス回路162に接続されている。ソース線バイアス回路162は、共通ソース線SLを介して各ソース線RSL a～RSL mの電位を、図16に示す各動作モードに対応して制御する。外部から指定されたデータは、データピン158に入力される。そのデータは、データピン158から入力バッファ159を介してカラムデコーダ154へ転送される。カラムデコーダ154は、前記のように選択したビット線BL a～BL zの電位を、そのデータに対応して後記するように制御する。

【0014】任意のメモリセル1から読み出されたデータは、ビット線BL a～BL zからカラムデコーダ154を介してセンスアンプ群160へ転送される。センスアンプ群160は、数個のセンスアンプ（図示略）から構成されている。カラムデコーダ154は、選択したビット線BL mと各センスアンプとを接続する。後記するように、センスアンプ群160で判別されたデータは、出力バッファ161からデータピン158を介して外部へ出力される。

【0015】尚、上記した各回路（153～162）の動作は制御コア回路163によって制御される。次に、フラッシュEEPROM151の各動作モード（消去モード、書き込みモード、読み出しモード、スタンバイモード）について、図15を参照して説明する。

【0016】（a）消去モード

消去モードにおいて、全てのソース線 $RSLa \sim RSLm$ および全てのビット線 $BLa \sim BLz$ の電位はグラウンドレベル（＝0 V）に保持される。選択されたワード線 WLm には14～15 Vが供給され、それ以外のワード線（非選択のワード線） $WLa \sim WLl$, $WLn \sim WLz$ の電位はグラウンドレベルにされる。そのため、選択されたワード線 WLm に接続されている各メモリセル1の制御ゲート電極9は14～15 Vに持ち上げられる。

【0017】ところで、ソース・ドレイン領域3および基板2と浮遊ゲート電極7との間の静電容量と、制御ゲート電極9と浮遊ゲート電極7の間の静電容量とを比べると、前者の方が圧倒的に大きい。そのため、制御ゲート電極9が14～15 V、ソース及びドレインが0 Vの場合、制御ゲート電極9と浮遊ゲート電極7の間には高電界が生じる。その結果、ファウラー・ノルドハイム・トンネル電流（Fowler-Nordheim Tunnel Current、以下、FNトンネル電流という）が流れ、浮遊ゲート電極7中の電子が制御ゲート電極9側へ引き抜かれて、メモリセル1に記憶されたデータの消去が行われる。このとき、浮遊ゲート電極7には突起7bが形成されているため、浮遊ゲート電極7中の電子は突起7bから飛び出して制御ゲート電極9側へ移動する。従って、電子の移動が容易になり、浮遊ゲート電極7中の電子を効率的に引き抜くことができる。

【0018】この消去動作は、選択されたワード線 WLm に接続されている全てのメモリセル1に対して行われる。尚、複数のワード線 $WLa \sim WLz$ を同時に選択することにより、その各ワード線に接続されている全てのメモリセル1に対して消去動作を行うこともできる。このように、メモリセルアレイ152を複数組のワード線 $WLa \sim WLz$ 毎の任意のブロックに分けてその各ブロック単位でデータの消去を行う消去動作は、ブロック消去と呼ばれる。

【0019】（b）書き込みモード

書き込みモードにおいて、選択されたメモリセル1のドレイン領域4に接続されているビット線 BLm の電位はグラウンドレベルにされ、それ以外のビット線（非選択のビット線） $BLa \sim BLl$, $BLn \sim BLz$ には4 Vが供給される。選択されたメモリセル1の制御ゲート電極9に接続されているワード線 WLm には2 Vが供給され、それ以外のワード線（非選択のワード線） $WLa \sim WLl$, $WLn \sim WLz$ の電位はグラウンドレベルにされる。全てのソース線 $RSLa \sim RSLm$ には12 Vが供給される。

【0020】ところで、メモリセル1において、選択トランジスタ11の閾値電圧 V_{th} は0.5 Vである。従って、選択されたメモリセル1では、ドレイン領域4中の電子は反転状態のチャンネル領域5中へ移動する。そのため、ソース・ドレイン領域3からソース・ドレイン領域4に向かってセル電流が流れる。一方、ソース・ドレ

イン領域3に12 Vが印加されるため、ソース・ドレイン領域3と浮遊ゲート電極7との間の容量を介したカップリングにより、浮遊ゲート電極7の電位が持ち上げられる。そのため、チャンネル領域5と浮遊ゲート電極7の間には高電界が生じる。従って、チャンネル領域5中の電子は加速されてホットエレクトロンとなり、浮遊ゲート電極7へ注入される。その結果、選択されたメモリセル1の浮遊ゲート電極7には電荷が蓄積され、1ビットのデータが書き込まれて記憶される。

【0021】この書き込み動作は、消去動作と異なり、選択されたメモリセル1毎に行うことができる。

（c）読み出しモード

読み出しモードにおいて、選択されたメモリセル1の制御ゲート電極9に接続されているワード線 WLm には4 Vが供給され、それ以外のワード線（非選択のワード線） $WLa \sim WLl$, $WLn \sim WLz$ の電位はグラウンドレベルにされる。選択されたメモリセル1のドレイン領域4に接続されているビット線 BLm には2 Vが供給され、それ以外のビット線（非選択のビット線） $BLa \sim BLl$, $BLn \sim BLz$ の電位はグラウンドレベルにされる。

【0022】前記したように、消去状態にあるメモリセル1の浮遊ゲート電極7中からは電子が引き抜かれている。また、書き込み状態にあるメモリセル1の浮遊ゲート電極7中には電子が注入されている。従って、消去状態にあるメモリセル1の浮遊ゲート電極7直下のチャンネル領域5はオンしており、書き込み状態にあるメモリセル1の浮遊ゲート電極7直下のチャンネル領域5はオフしている。そのため、制御ゲート電極9に4 Vが印加されたとき、ソース・ドレイン領域4からソース・ドレイン領域3に向かって流れるセル電流は、消去状態のメモリセル1の方が書き込み状態のメモリセル1よりも大きくなる。

【0023】この各メモリセル1間のセル電流の大きさをセンスアンプ群160内の各センスアンプで判別することにより、メモリセル1に記憶されたデータの値を読み出すことができる。例えば、消去状態のメモリセル1のデータの値を「1」、書き込み状態のメモリセル1のデータの値を「0」として読み出しを行う。つまり、各メモリセル1に、消去状態のデータ値「1」と、書き込み状態のデータ値「0」の2値を記憶させることができる。

【0024】（d）スタンバイモード

スタンバイモードにおいて、共通ソース線 SL 、全てのワード線 $WLa \sim WLz$ 、全てのビット線 $BLa \sim BLz$ の電位はグラウンドレベルに保持されている。このスタンバイモードでは、全てのメモリセル1に対していかなる動作（消去動作、書き込み動作、読み出し動作）も行われない。

【0025】このように構成されたスプリットゲート型

メモリセル1を用いたフラッシュEEPROM151は、選択トランジスタ11が設けられているため、個々のメモリセル1にそれ自身を選択する機能がある。つまり、データ消去時にフローティングゲート電極7から電荷を引き抜く際に電荷を過剰に抜き過ぎても、選択ゲート10によってチャネル領域5を非導通状態にすることができる。従って、過剰消去が発生したとしても、選択トランジスタ11によってメモリセル1の導通・非導通を制御することができ、過剰消去が問題にならない。すなわち、メモリセル1の内部に設けられた選択トランジスタ11によって、そのメモリセル自身の導通・非導通を選択することができる。

【0026】次に、図14に示すメモリセルアレイ152の製造方法を図17及び図18に従い順を追って説明する。

工程(1)(図17(a)参照):LOCOS法を用い、基板2上にフィールド絶縁膜13(図示略)を形成する。次に、基板2上におけるフィールド絶縁膜13の形成されていない部分(素子領域)に、熱酸化法を用いてシリコン酸化膜から成るゲート絶縁膜6を形成する。続いて、ゲート絶縁膜6上に浮遊ゲート電極7と成るドーパドポリシリコン膜31を形成する。そして、LPCVD(LowPressure Chemical Vapor Deposition)法を用い、ドーパドポリシリコン膜31の全面にシリコン窒化膜32を形成する。次に、シリコン窒化膜32の全面にレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、浮遊ゲート7を形成するためのエッチング用マスク33を形成する。

【0027】工程(2)(図17(b)参照):エッチング用マスク33を用いた異方性エッチングにより、シリコン窒化膜32をエッチングする。そして、エッチング用マスク33を剥離する。次に、LOCOS法を用い、エッチングされたシリコン窒化膜32を酸化用マスクとしてドーパドポリシリコン膜31を酸化することで、絶縁膜19を形成する。このとき、シリコン窒化膜31の端部に絶縁膜19の端部が侵入し、バースピーク19aが形成される。

【0028】工程(3)(図17(c)参照):シリコン窒化膜32を除去する。次に、絶縁膜19をエッチング用マスクとして用いた異方性エッチングにより、ドーパドポリシリコン膜31をエッチングして浮遊ゲート電極7を形成する。このとき、絶縁膜19の端部にはバースピーク19aが形成されているため、浮遊ゲート電極7の上縁部はバースピーク19aの形状に沿って尖鋭になり、突起7bが形成される。

【0029】工程(4)(図17(d)参照):熱酸化法もしくはLPCVD法またはこれらを併用し、上記の工程で形成されたデバイスの全面に、シリコン酸化膜から成るトンネル絶縁膜8を形成する。すると、積層された各絶縁膜6,8は一体化される。

工程(5)(図18(a)参照):上記の工程で形成されたデバイスの全面に、制御ゲート電極9と成るドーパドポリシリコン膜34を形成する。

【0030】工程(6)(図18(b)参照):上記の工程で形成されたデバイスの全面にレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、制御ゲート電極9を形成するためのエッチング用マスク35を形成する。

工程(7)(図18(c)参照):エッチング用マスク35を用いた異方性エッチングにより、ドーパドポリシリコン膜34をエッチングして制御ゲート電極9を形成する。その後、エッチング用マスク35を剥離する。

【0031】

【発明が解決しようとする課題】従来例にあっては、工程(4)において、熱酸化法を用いてトンネル絶縁膜8を形成した場合、図19に示すように、浮遊ゲート電極7の下縁部にトンネル絶縁膜8の端部が侵入し、バースピーク(ゲートバースピーク)8bが形成される恐れがある。バースピーク8bが形成されると、その分だけバースピーク8bの反対側のトンネル絶縁膜8の表面部分に肉引きが起こって間隙8cが生じる。

【0032】このバースピーク8bが、ソース・ドレイン領域3とカップリングしている所に発生すると、浮遊ゲート電極7と各ソース・ドレイン領域3との距離が大きくなって、この部分の静電容量が小さくなってしまふ。すなわち、浮遊ゲート電極7とソース・ドレイン領域3との間の静電容量が期待通りの値で無くなり、メモリデバイスとしての書き込み・読み出し特性が劣化する問題がある。

【0033】特に、上記スプリットゲート型メモリセル1は、浮遊ゲート電極7とソース・ドレイン領域3との間の静電容量C1を、制御ゲート電極7と浮遊ゲート電極3との間の静電容量C2に対し、できるだけ大きくする必要があるが、上記の通り、バースピーク8bにより浮遊ゲート電極7と各ソース・ドレイン領域3との距離が大きくなって、この部分の静電容量C1が小さくなってしまふと、上記の問題がより顕著なものとなる。

【0034】本発明は上記問題点を解決するためになされたものであって、書き込み及び読み出し特性が良好な半導体メモリ及びその製造方法を提供することをその目的とする。

【0035】

【課題を解決するための手段】請求項1に記載の半導体メモリは、第1のゲート電極下の第1の絶縁膜が酸化しにくい領域を含むことをその要旨とする。請求項2に記載の半導体メモリは、第1のゲート電極に対し、第1の絶縁膜を介してキャリアを注入するかまたは引き抜くことにより、データの書き込み状態を変更するものであって、前記ゲート電極下の第1の絶縁膜が酸化しにくい領域を含むことをその要旨とする。

【0036】請求項3に記載の半導体メモリは、請求項1又は2に記載の発明において、前記第1のゲート電極は、基板の表面に形成された一対のソース・ドレイン領域の間に前記第1の絶縁膜を介して設けられ、且つ、少なくとも一方のソース・ドレイン領域と容量的に結合し、前記第1の絶縁膜における少なくとも前記一方のソース・ドレイン領域の近傍に酸化しにくい領域が存在することをその要旨とする。

【0037】請求項4に記載の半導体メモリは、請求項1乃至3のいずれか1項に記載の発明において、前記第1のゲート電極の上に第2の絶縁膜を介して第2のゲート電極を設けたことをその要旨とする。請求項5に記載の半導体メモリの製造方法は、基板上に第1の絶縁膜を形成する工程と、この第1の絶縁膜に、酸化しにくい領域を形成する工程と、この酸化しにくい領域の上に第1のゲート電極を形成する工程と、この第1のゲート電極を含む基板の表面に第2の絶縁膜を形成する工程と、前記第1のゲート電極の上に第2のゲート電極を形成する工程と、を含むことをその要旨とする。

【0038】請求項6に記載の半導体メモリの製造方法は、請求項5に記載の発明において、前記第1の絶縁膜を窒化するにより、前記酸化しにくい領域を形成することをその要旨とする。請求項7に記載の半導体メモリの製造方法は、基板上に第1の絶縁膜を形成する工程と、この第1の絶縁膜の上に第1のゲート電極を形成する工程と、前記第1の絶縁膜における前記第1のゲート電極下に、酸化しにくい領域を形成する工程と、この第1のゲート電極を含む基板の表面に第2の絶縁膜を形成する工程と、前記第1のゲート電極の上に第2のゲート電極を形成する工程と、を含むことをその要旨とする。

【0039】請求項8に記載の半導体メモリの製造方法は、請求項5乃至7のいずれか1項に記載の発明において、前記基板の表面に一対のソース・ドレイン領域を形成する工程を更に備え、少なくとも一方のソース・ドレイン領域は、前記第1のゲート電極と容量的に結合し、前記酸化しにくい領域を、前記第1の絶縁膜における少なくとも前記一方のソース・ドレイン領域の近傍に形成したことをその要旨とする。

【0040】請求項9に記載の半導体メモリの製造方法は、請求項7又は8に記載の発明において、斜めイオン注入法を用いて、前記第1の絶縁膜に窒素イオン又は窒素を含むイオンを導入することにより、前記酸化しにくい領域を形成することをその要旨とする。

【0041】

【発明の実施の形態】（第1実施形態）本発明を具体化した第1実施形態を図面に従って説明する。尚、本実施形態において、従来の形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0042】図1は、本第1実施形態のスプリットゲート構造のメモリセル101の一部断面図である。図1に

おいて、図14に示す従来例と異なるのは、ゲート絶縁膜6に窒素が導入されて、ゲート絶縁膜6全体が酸化しにくい膜（ゲート絶縁膜6a）に変質されている点である。

【0043】尚、本第1実施形態のスプリットゲート型メモリセル101を用いたフラッシュEEPROMの全体構成は、図15に示した従来の形態と同じである。また、本第1実施形態のフラッシュEEPROMの各動作モードにおける各部の電位は、図16に示した従来の形態と同じである。次に、本第1実施形態の製造方法を図2～図7に従い順を追って説明する。但し、本第1実施形態における製造方法が従来と異なるのは、従来の図17に示した工程のみであり、それ以降の工程については従来と同様であるので説明を省略する。

【0044】工程1（図2参照）：LOCOS法を用い、基板2上にフィールド絶縁膜13（図示略）を形成する。次に、基板2上におけるフィールド絶縁膜13の形成されていない部分（素子領域）に、熱酸化法を用いてシリコン酸化物から成るゲート絶縁膜6を形成する。工程2（図3参照）： N_2O ガスを用いて、ゲート絶縁膜6を窒化する。これにより、ゲート絶縁膜6は、シリコン酸化物（ SiO_2 ）からシリコン酸化窒化物（ $SiON$ ）に変質し、酸化しにくくなる（以下、ゲート絶縁膜6aという）。この時の窒化处理条件は、温度：950～1050℃、使用ガス： N_2O 、ガス流量：5リットル、時間：5～30分である。

【0045】尚、使用ガスとしては、 N_2O 以外に、 NO ガスや NH_3 ガスを用いても良い。

工程3（図4参照）：ゲート絶縁膜6a上に浮遊ゲート電極7と成るドーパドポリシリコン膜31を形成する。そして、LPCVD法を用い、ドーパドポリシリコン膜31の全面にシリコン窒化膜32を形成する。次に、シリコン窒化膜32の全面にレジストを塗布した後、通常のフォトリソグラフィ技術を用いて、浮遊ゲート7を形成するためのエッチング用マスク33を形成する。

【0046】工程4（図5参照）：エッチング用マスク33を用いた異方性エッチングにより、シリコン窒化膜32をエッチングする。そして、エッチング用マスク33を剥離する。次に、LOCOS法を用い、エッチングされたシリコン窒化膜32を酸化用マスクとしてドーパドポリシリコン膜31を酸化することで、絶縁膜19を形成する。

【0047】工程5（図6参照）：シリコン窒化膜32を除去する。次に、絶縁膜19をエッチング用マスクとして用いた異方性エッチングにより、ドーパドポリシリコン膜31をエッチングして浮遊ゲート電極7を形成する。

工程6（図7参照）：熱酸化法もしくはLPCVD法またはこれらを併用し、上記の工程で形成されたデバイスの全面に、シリコン酸化膜から成るトンネル絶縁膜8を

形成する。すると、積層された各絶縁膜6a、8は一体化される。この時、ゲート絶縁膜6aは、上述した通り、酸化しにくい材質に変質しているため、浮遊ゲート電極7の下縁部にトンネル絶縁膜8の端部が侵入することによるバズピーク（ゲートバズピーク）8bはきわめて小さく抑制される。

【0048】本第1実施形態にあつては、以下の通りの作用効果を奏する。

（1）浮遊ゲート電極7の下縁部に形成されるバズピークがきわめて小さく抑制されるので、浮遊ゲート電極7とソース・ドレイン領域3との間の静電容量C1を、制御ゲート電極9と浮遊ゲート電極7との間の静電容量C2に対し、設計値通りに十分に大きくすることができ

る。

【0049】（2）図19に示すように、従来の工程（4）においては、熱酸化法を用いてトンネル絶縁膜8を形成した場合、浮遊ゲート電極7の下縁部にバズピーク8bが形成される恐れがある。バズピーク8bが形成されると、その分だけバズピーク8bの反対側のトンネル絶縁膜8の表面部分に肉引きが起こって間隙8cが生じる。

【0050】すると、従来の工程5において、ドーパドポリシリコン膜34を形成した際に、間隙8c内にもドーパドポリシリコン膜34が形成されるため、制御ゲート電極9の下端部は間隙8cの形状に沿って尖鋭になり、突起9aが形成される。制御ゲート電極9の下端部に突起9aが形成されると、書き込みモードにおいて、突起9aから電子が放出され、その電子が浮遊ゲート7に誤って注入されるという現象が起こる。この現象は、一般にリバーストンネリング現象と呼ばれる。リバーストンネリング現象が起こると、フラッシュEEPROMの書き込みモードにおいて、非選択のメモリセルにも誤ってデータが書き込まれてしまう。つまり、各メモリセルにそれぞれ別個のデータを書き込むことが不可能になり、EEPROMとしての機能を果たさなくなる。

【0051】このように、バズピーク8bが形成されると、リバーストンネリング現象が起こり、フラッシュEEPROMが機能しなくなるという問題がある。一方、本第1実施形態にあつては、浮遊ゲート電極7の下縁部に形成されるバズピークをきわめて小さく抑制できるので、このような問題は生じにくい。

（第2実施形態）本発明を具体化した第2実施形態を図面に従って説明する。尚、本第2実施形態において、従来の形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0052】図8は、本実施形態のスプリットゲート構造のメモリセル102の一部断面図である。図8において、図14に示す従来例と異なるのは、浮遊ゲート電極7の基部におけるゲート絶縁膜6に窒素が導入されて、その部分のゲート絶縁膜6が酸化しにくい領域（窒素原

子含有層6b）に変質されている点である。

【0053】尚、本第2実施形態のスプリットゲート型メモリセルを用いたフラッシュEEPROMの全体構成は、図15に示した従来の形態と同じである。また、本第2実施形態のフラッシュEEPROMの各動作モードにおける各部の電位は、図16に示した従来の形態と同じである。次に、本第2実施形態の製造方法を図9～図12に従い順を追って説明する。但し、本第2実施形態における製造方法が従来と異なるのは、従来の図17に示した工程のみであり、それ以降の工程については従来と同様であるので説明を省略する。

【0054】工程5及び工程6（図9及び図10参照）：従来の工程（1）及び工程（2）（図17（a）及び図17（b））と同様である。

工程7（図11参照）：浮遊ゲート電極7の基部に窒素イオン（N⁺）を注入することで、ゲート絶縁膜6に、窒素原子含有層6bを形成する。このように、ゲート絶縁膜6中に窒素が導入されることにより、この部分（窒素原子含有層6b）が酸化しにくくなる。

【0055】このとき、直方体を成す浮遊ゲート電極7の4つの基部に均等に窒素イオンを注入するためには、基板2が形成されたシリコンウェハ（図示略）全体を回転させながら、基板2の表面に立つ法線から概ね15°～60°程度の角度で窒素イオンを注入することが望ましい。このように、シリコンウェハ全体を回転させながら、シリコンウェハに対して所定の角度でイオン注入を行う方法は、一般に回転斜めイオン注入法と呼ばれる。ここで、窒素イオンの注入条件は、注入エネルギー：40～100keV程度、ドーズ量：1×10¹⁵～5×10¹⁵atoms/cm²程度である。

【0056】工程8（図12参照）：熱酸化法もしくはLPCVD法またはこれらを併用し、上記の工程で形成されたデバイスの全面に、シリコン酸化膜から成るトンネル絶縁膜8を形成する。すると、積層された各絶縁膜6、8は一体化される。この時、窒素原子含有層6bが設けられているため、第1実施形態と同様、浮遊ゲート電極7の下縁部にトンネル絶縁膜8の端部が侵入し、バズピーク（ゲートバズピーク）8bがきわめて小さく抑制される。

【0057】このように本第2実施形態によれば、窒素原子含有層6bが設けられているため、浮遊ゲート電極7の下縁部にトンネル絶縁膜8の端部が侵入することによるバズピーク（ゲートバズピーク）がきわめて小さく抑制される形成される。そのため、従来の工程

（4）におけるトンネル絶縁膜8の形成時に、従来の図19に示すようなトンネル絶縁膜8の間隙8cもきわめて小さくなり、また、従来の工程（5）におけるドーパドポリシリコン膜34の形成時に、制御ゲート電極9の下端部の突起9aもきわめて小さくなる。また更には、第1実施形態のようにチャネル領域5全体を窒化しない

ので、この部分のホットキャリア耐性が向上する。

【0058】尚、本発明は以上の実施形態に限定されるものではなく、従来のスタックドゲート型メモリセルに適用しても良い。また、本出願人は、1つの制御ゲート電極を共有し、半導体基板に形成された2つのソース・ドレイン領域間のチャネル領域上に併置された2つの浮遊ゲート電極を備えたメモリセルに関する出願を既に行っているが（特願平9-339833号）、このような新構造メモリセルに対して適用しても十分にその効果を享受できる。

【0059】また、上記各実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

（1）第3実施形態として、第2実施形態において、浮遊ゲート電極7の4つの基部の全てに窒素原子含有層6bを設けるのではなく、図13に示すメモリセル103のように、浮遊ゲート電極7と容量的に結合するソース・ドレイン領域3の近傍だけに窒素原子含有層6cを設ける。この場合には、窒素原子含有層6cの形成にあたって、回転斜めイオン注入法を用いる必要はなく、通常の斜めイオン注入法を用いて浮遊ゲート電極7の必要な箇所だけに窒素イオンを注入すればよい。

【0060】（2）第1実施形態において、ゲート絶縁膜6に窒素原子を含有させるに際して、窒化雰囲気中で熱処理を行うのではなく、以下の方法を用いる。

（a）ゲート絶縁膜6を窒素プラズマに晒す。

（b）ゲート絶縁膜6に窒素イオンを注入する。

（3）各ゲート電極7、9の材質をそれぞれ、ドーパドポリシリコン以外の導電性材料（アモルファスシリコン、単結晶シリコン、高融点金属を含む各種金属、シリサイドなど）に置き代える。

【0061】

【発明の効果】本発明によれば、書き込み・読み出し特性の良好な半導体メモリを提供することができる。

【図面の簡単な説明】

【図1】第1実施形態の概略断面図。

【図2】第1実施形態の製造工程を説明するための概略断面図。

【図2】



【図3】第1実施形態の製造工程を説明するための概略断面図。

【図4】第1実施形態の製造工程を説明するための概略断面図。

【図5】第1実施形態の製造工程を説明するための概略断面図。

【図6】第1実施形態の製造工程を説明するための概略断面図。

【図7】第1実施形態の製造工程を説明するための概略断面図。

【図8】第2実施形態の概略断面図。

【図9】第2実施形態の製造工程を説明するための概略断面図。

【図10】第2実施形態の製造工程を説明するための概略断面図。

【図11】第2実施形態の製造工程を説明するための概略断面図。

【図12】第2実施形態の製造工程を説明するための概略断面図。

【図13】第3実施形態の概略断面図。

【図14】図14（b）は従来の実施形態の一部平面図、図14（a）は図14（b）のA-A線断面図。

【図15】従来の形態のブロック回路図。

【図16】従来の形態の説明図。

【図17】従来の形態の製造工程を説明するための概略断面図。

【図18】従来の形態の製造工程を説明するための概略断面図。

【図19】従来の形態の概略断面図。

【符号の説明】

2 P型単結晶シリコン基板

3、4 ソース・ドレイン領域

6 ゲート絶縁膜（第1の絶縁膜）

6a ゲート絶縁膜（酸化しにくい領域）

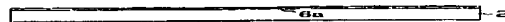
6b、6c 窒素含有層（酸化しにくい領域）

7 浮遊ゲート電極（第1のゲート電極）

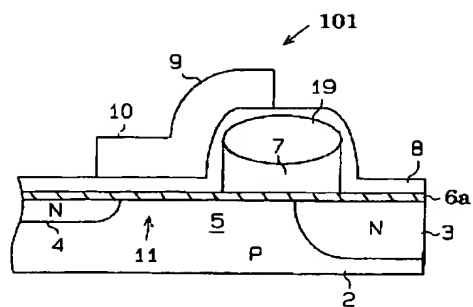
8 トンネル絶縁膜（第2の絶縁膜）

9 制御ゲート電極（第2のゲート電極）

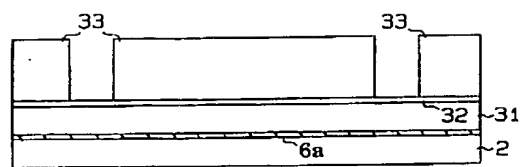
【図3】



【図1】



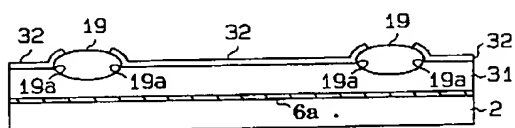
【図4】



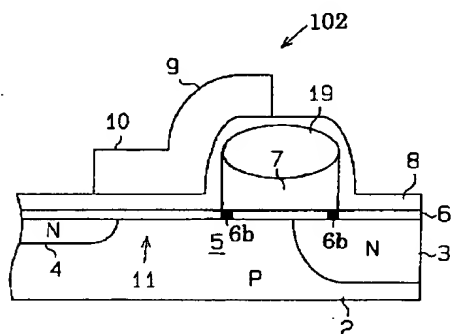
【図6】



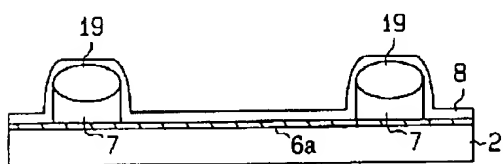
【図5】



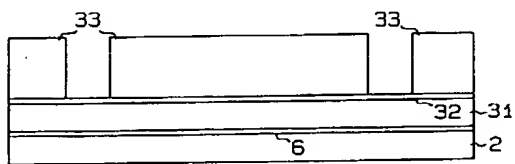
【図8】



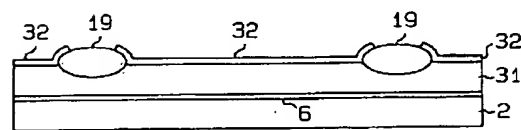
【図7】



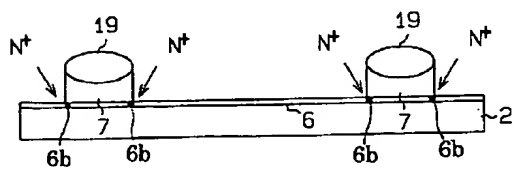
【図9】



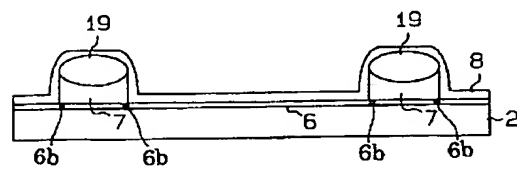
【図10】



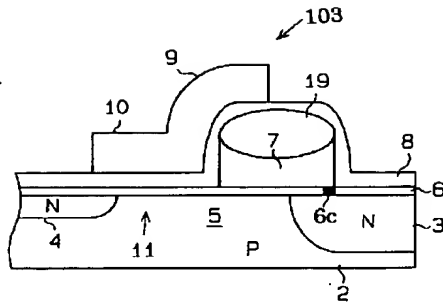
【図11】



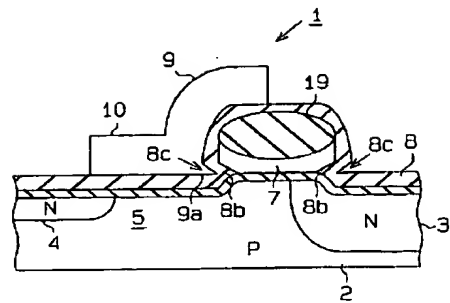
【図12】



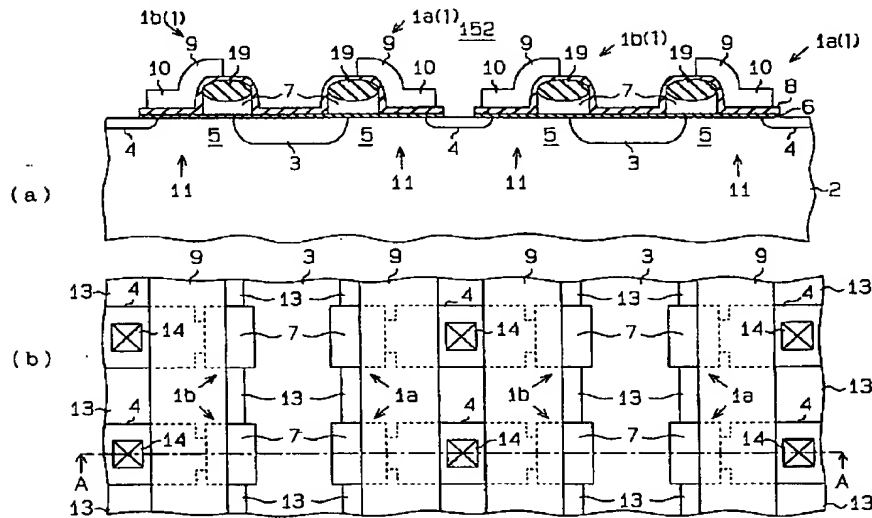
【図13】



【図19】



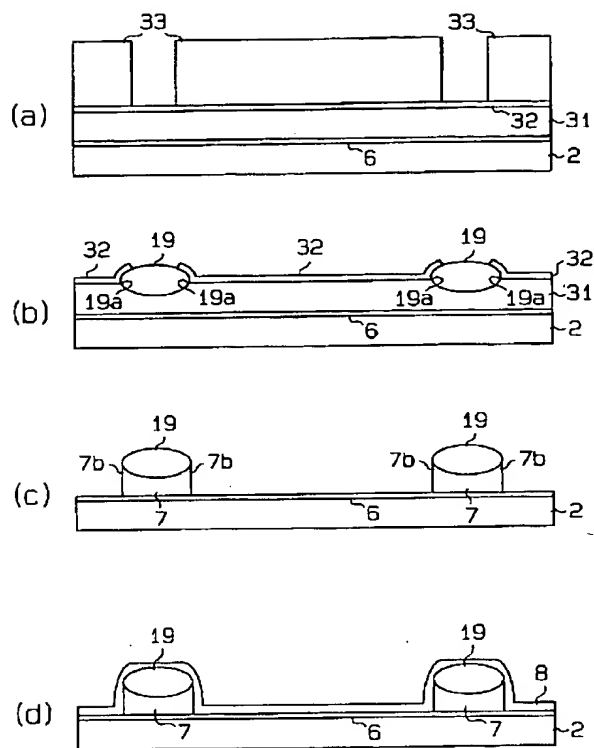
【図14】



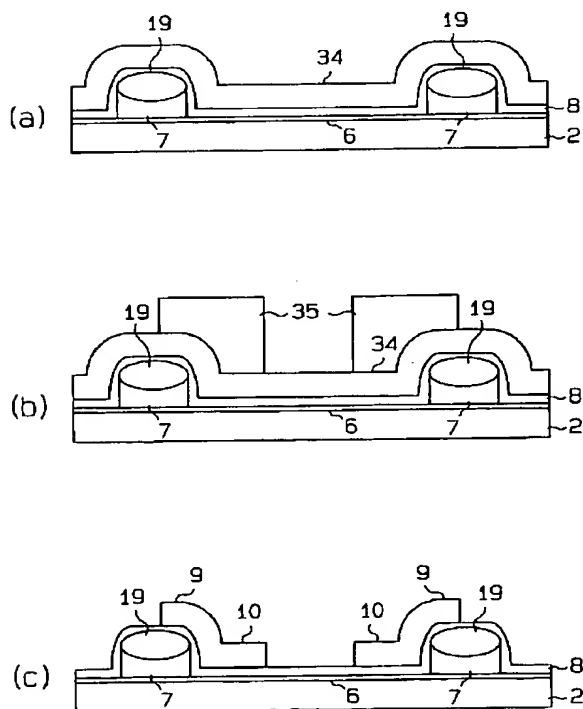
【図16】

動作モード	書き込み	消去	読み出し	スタンバイ
ワード線WLm (制御ゲート電圧9)	2V	14~15V	4V	0V
ビット線BLm (ドレイン電圧4)	0V	0V	2V	0V
共通ソース線SL (ソース電圧3)	12V	0V	0V	0V
基板2	0V	0V	0V	0V

【图 17】



【図 18】



フロントページの続き

(72) 発明者 長沢 秀治

大阪府守口市京阪本通 2 丁目 5 番 5 号 三
洋電機株式会社内

F ターム (参考)

5B025 AA01 AB02 AC01
5F001 AA61 AA62 AA63 AB03 AC02
AC20 AD12 AD41 AD62 AE02
AE03 AE08 AG02 AG03 AG10
AG12 AG21
5F083 EP02 EP24 ER02 ER09 ER14
ER17 ER22 GA15 GA21 JA02
JA05 JA32 PR12 PR21 PR37